

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-142363

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)6月25日

H 01 L 29/78

7514-5F

審査請求 未請求 発明の数 2 (全4頁)

⑭ 発明の名称 半導体記憶装置およびその製造方法

⑰ 特 願 昭60-284688

⑱ 出 願 昭60(1985)12月17日

⑲ 発 明 者 黒 木 秀 文 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体記憶装置およびその製造方法

2. 特許請求の範囲

(1) メモリゲート部に電荷を蓄積させて記憶動作を行う半導体記憶装置において、上記メモリゲート部が、半導体基板上に形成された薄い第1の酸化膜と、この第1の酸化膜上に形成された窒化膜などとなる絶縁膜と、この絶縁膜上に形成された第2の酸化膜と、上記第1の酸化膜、上記絶縁膜および上記第2の酸化膜の横に形成された第3の酸化膜と、上記第2の酸化膜上に形成されたメモリゲート電極と、 n^+ 拡散領域と、上記第3の酸化膜の下に形成された n^+ 拡散領域とを含むことを特徴とする半導体記憶装置。

(2) メモリゲート部に電荷を蓄積させて記憶動作を行う半導体記憶装置の製造方法において、半導体基板の表面上に薄い第1の酸化膜を形成する工程と、上記第1の酸化膜上に窒化膜などとなる絶縁膜を形成する工程と、上記絶縁膜上にフォトリソ

レジストのパターンを形成しこのフォトリソパターンをマスクとしてリンなどの不純物を注入して n^+ 拡散領域を形成する工程と、上記絶縁膜をエッチングして露呈する上記半導体基板および上記絶縁膜を酸化することによって第2および第3の酸化膜を形成する工程と、上記第2の酸化膜上にメモリゲート電極となるポリシリコン膜を堆積する工程と、上記ポリシリコン膜上にフォトリソレジストでパターンを形成しこのフォトリソパターンをマスクとして上記ポリシリコン膜をエッチングしてメモリゲート電極を形成する工程と、上記メモリゲート電極をマスクとして上記第3の酸化膜をエッチングする工程と、上記メモリゲート電極および上記第3の酸化膜をマスクとして上記半導体基板にヒ素等の不純物を注入し n^+ 拡散領域を形成する工程とを含むことを特徴とする半導体記憶装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、メモリゲート部に電荷を蓄積して

記憶動作を行う MNOS (Metal Nitride Oxide Semiconductor) 型半導体記憶装置およびその製造方法に関する。

〔従来の技術〕

第 3 図は従来の半導体記憶装置を示す断面図であり、図において、(1)は半導体基板、(2)は素子分離領域、(3a)は 20 Å 程度の極めて薄い酸化膜、(3b)は 300 Å ~ 500 Å 程度の窒化膜、(4)は 3500 Å 程度のポリシリコン膜でなるメモリゲート電極、(5a)は n^+ 拡散領域、(6)はメモリゲート部である。

次に動作について説明する。メモリゲート部(6)は素子分離領域(2)によって隣接するメモリセルと電気的に絶縁されている。メモリゲート電極(4)に高い電圧を印加すると、極めて薄い酸化膜(3a)を通して窒化膜(3b)中に電子が蓄積または放出され、その結果、メモリゲート部(6)のしきい値電圧を変化させる。このしきい値電圧の高低に応じて、“1”または“0”を記憶させることができる。

〔発明が解決しようとする問題点〕

従来の半導体記憶装置は以上のように構成され

ているので、書き込みおよび消去時にメモリゲート電極(4)に半導体基板(1)中より窒化膜(3b)に多量の電荷がトンネル遷移を起こすのに十分な電圧を印加する必要があるが、 n^+ 拡散領域(5a)間の耐圧はメモリゲート電極(4)への印加電圧より低いという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、 n^+ 拡散領域間の耐圧が高く、かつ電荷の自然放出の少ない半導体記憶装置を得ることを目的とする。

また、この発明の別の発明は、 n^+ 拡散領域間の耐圧を上げるとともに蓄えられた電荷の自然放出を防ぐことのできる半導体記憶装置の製造方法を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係る半導体記憶装置は、メモリゲート部の横に形成された第 3 の酸化膜と、この酸化膜の下に形成された n^+ 拡散領域とを有するものである。

また、この発明の別の発明に係る半導体記憶装

置の製造方法は、リンなどの不純物を注入して n^+ 拡散領域を形成する工程と、半導体基板を酸化することによって第 3 の酸化膜を形成する工程とを含むものである。

〔作用〕

この発明における n^+ 拡散領域は n^+ 拡散領域間の耐圧を高くし、第 3 の酸化膜は蓄積された電荷の自然放出を防ぐ。

また、この発明の別の発明におけるイオン注入工程は n^+ 拡散領域を形成せしめて n^+ 拡散領域間の耐圧を高め、第 3 の酸化膜の形成工程は第 3 の酸化膜を形成せしめて蓄積された電荷の自然放出を防止する。

〔実施例〕

以下、この発明の一実施例を図について説明する。第 1 図において、(1)は半導体基板、(2)は素子分離領域、(3a)は半導体基板(1)上に形成された薄い酸化膜、(3b)は酸化膜(3a)上に形成された窒化膜、(3c)は窒化膜(3b)上に形成された酸化膜、(3d)は酸化膜(3a)、窒化膜(3b)および酸化膜(3c)

の横に形成された酸化膜、(4)は酸化膜(3c)上に形成されたメモリゲート電極、(5a)は n^+ 拡散領域、(5b)は酸化膜(3d)の下に形成された n^+ 拡散領域、(6)はメモリゲート部である。メモリゲート部(6)は、いわゆるトライゲート構造を有する。また、メモリゲート部(6)は、いわゆる SONOS 構造となっている。

次に製造工程について説明する。まず、第 2 図(a)に示すように半導体基板(1)に素子分離領域(2)を形成した後、第 2 図(b)に示すように 20 Å 程度の極めて薄い酸化膜(3a)を形成し、さらにその上に 300 Å ~ 500 Å 程度の窒化膜(3b)を形成する(第 2 図(c)参照)。続いて、第 2 図(d)に示すようにメモリゲートに相当する部分をフォトレジスト(7)で覆い、第 2 図(e)に示すようにリンなどの不純物をイオン注入して n^+ 拡散領域(5b)を形成する。次に、第 2 図(f)に示すようにフォトレジスト(7)をマスクとして窒化膜(3b)をエッチングし、第 2 図(g)に示すようにフォトレジスト(7)を取り去り酸化する。このとき、酸化膜(3c)および(3d)が形成される。次

に、第2図(a)に示すようにメモリゲート電極(4)となるポリシリコン膜を形成し、第2図(b)に示すようにフォトリソistでポリシリコン膜をパターンニングしエッチングしてメモリゲート電極(4)を形成した後、第2図(c)に示すようにメモリゲート電極(4)をマスクとして酸化膜(3d)をエッチングする。次に、第2図(d)に示すようにヒ素などの不純物を打ち込んで n^+ 拡散領域(5a)を形成し、第1図に示すような半導体記憶装置が製造される。

(発明の効果)

以上のように、この発明によれば n^+ 拡散領域および第3の酸化膜を有するように構成したので、半導体記憶装置のメモリゲート電極を高圧化でき、大容量の半導体記憶装置が得られる効果がある。

また、この発明の別の発明によれば、 n^+ 拡散領域を形成する工程と第3の酸化膜を形成する工程とを含むように構成したので、メモリゲート電極に高電圧を印加できる大容量の半導体記憶装置を高留歩りでかつ安価に得られる効果がある。

4. 図面の簡単な説明

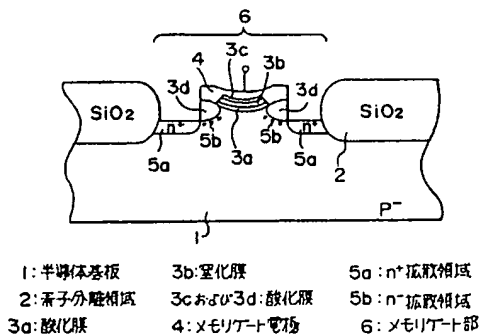
第1図はこの発明の一実施例による半導体記憶装置を示す断面図、第2図(a)~(d)はこの発明の一実施例による半導体記憶装置の製造方法を示す順次の工程断面図、第3図は従来の半導体記憶装置を示す断面図である。

(1)は半導体基板、(2)は素子分離領域、(3a)は酸化膜(第1の酸化膜)、(3b)は窒化膜(絶縁膜)、(3c)は酸化膜(第2の酸化膜)、(3d)は酸化膜(第3の酸化膜)、(4)はメモリゲート電極、(5a)は n^+ 拡散領域、(5b)は n^+ 拡散領域、(6)はメモリゲート部、(7)はフォトリソistである。

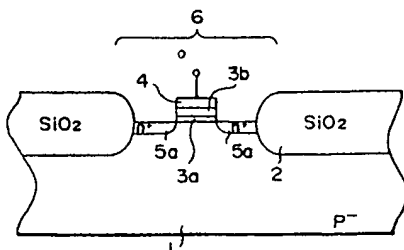
なお、図中、同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

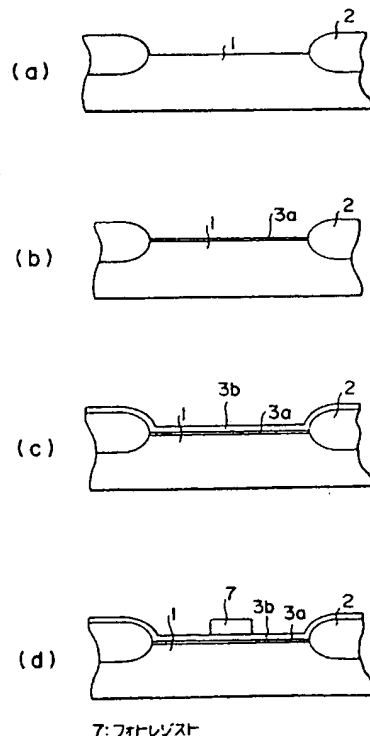
第 1 図



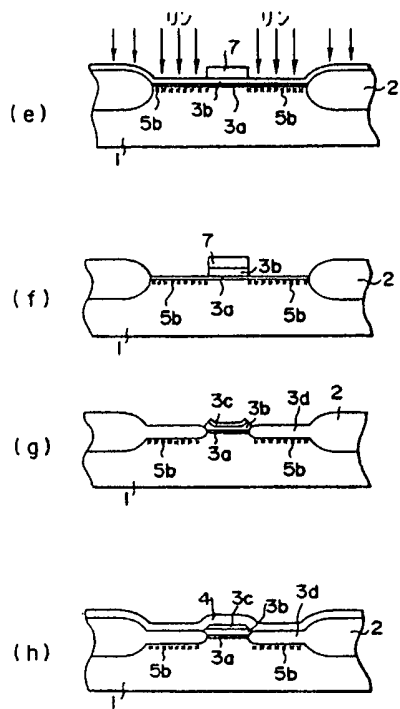
第 3 図



第 2 図



第 2 図



第 2 図

